

666

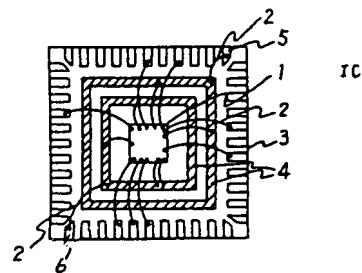
JP 404129250 A
APR 1992

(54) THIN TYPE HYBRID INTEGRATED CIRCUIT SUBSTRATE

(11) 4-129250 (A) (43) 30.4.1992 (19) JP
(21) Appl. No. 2-250588 (22) 20.9.1990
(71) NEC CORP (72) SHIGEMI NAKAMURA(1)
(51) Int. Cl. H01L23/12

PURPOSE: To obtain a substrate, in which conductor patterns are arranged easily and which has general-purpose properties, by forming electrically insulated double loop-shaped conductor patterns surrounding a semiconductor IC chip mounting section and connecting a power terminal to one of the double loop-shaped conductor patterns and a ground terminal to the other.

CONSTITUTION: When a power terminal 5 is used as a power supply and a ground terminal 6 as a ground in common and semiconductor IC chips 1 are designed as a leadless type thin-type hybrid integrated circuit device, all gold wires 2 are connected to either one of loop-shaped conductor patterns 4 formed around the semiconductor IC chips 1 respectively, and connected to the power terminal 5 and the ground terminal 6 by the bonding of the gold wires 2 in the vicinity of the power terminal 5 or the ground terminal 6 on the conductor patterns 4. Accordingly, even when the pads for the power supply or pads for the ground of the mounted semiconductor IC chips 1 are dispersed into approximately two or four respectively, the power supply and ground of the hybrid integrated circuit device can be set at the positions of specified power terminal 5 and ground terminal 6.



3: substrate

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-129250

⑬ Int. Cl. 5

H 01 L 23/12

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月30日

7352-4M H 01 L 23/12
7352-4M

E
Q

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 薄型混成集積回路基板

⑯ 特願 平2-250588

⑰ 出願 平2(1990)9月20日

⑮ 発明者 中村茂美 東京都港区芝5丁目7番1号 日本電気株式会社内

⑯ 発明者 石藤正昭 東京都港区芝5丁目7番1号 日本電気株式会社内

⑰ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑯ 代理人 弁理士 内原晋

明細書

発明の名称

薄型混成集積回路基板

特許請求の範囲

少くとも1個の半導体ICチップを搭載するリードレスタイプの薄型混成集積回路基板において、前記半導体ICチップ搭載部を取り囲む電気的に絶縁された二重のループ状の導体パターンを設け、該二重のループ状の導体パターンのうちの一方には電源端子を、他方にはグラウンド端子を接続したことを特徴とする薄型混成集積回路基板。

発明の詳細な説明

〔産業上の利用分野〕

本発明は薄型混成集積回路基板に関し、特にゲートアレー等のパッド配置が可変である半導体ICチップを搭載するリードレスタイプの薄型混成集積回路基板に関する。

〔従来の技術〕

従来、この種の薄型混成集積回路装置は、表面に搭載した少くとも1個の半導体ICチップのパッドと薄型混成集積回路基板(以下基板と記す)上の導体パターンとを金線でボンディングする事により接続し、そこから基板上の外部接続用パッドに引き出され、最後に、樹脂封止されるという構造になっている。

この薄型混成集積回路装置を赤外線等のリフロー方式かレーザー方式、あるいは、こて付け等によりセットのマザーボード上に半田付けにより接続して搭載している。

この方法を用いると、従来の超小型モールドタイプのICパッケージを用いるより30~50%実装体積が低減され、開発費及び製品単価も1/2以下で済む利点もある。

〔発明が解決しようとする課題〕

この従来の基板を用いた混成集積回路装置では、基板上の配線パターンが単純な形状に形成されているため、搭載する半導体ICチップのパッ

ド配線の順番が、そのまま、基板の端子配置となっている。このため、ゲートアレー等のように同一下地でパッド配置が可変な半導体ICチップを用いる場合は、半導体ICチップの製品のコード毎に全端子の配置が異なり、特に、電源端子とグランド端子が複数の全く異なる端子に設定される場合が多くある。

このため、この薄型混成集積回路装置を搭載するメインボード上の導体パターンの配線では、複数の電源端子あるいはグランド端子を接続するために、他の信号の導体パターンの配置が極めて困難になるという問題点があった。

また、製品のBTスクリーニング用治具や検査治具も電源端子あるいはグランド端子が異なるために半導体ICチップのコード毎に用意する必要があるという問題点があった。

本発明の目的は、導体パターンの配置が容易で、汎用性のある基板を提供することにある。

〔課題を解決するための手段〕

本発明は、少くとも1個の半導体ICチップを

導体パターン4のいずれか一方に全て接続し、その導体パターン4上の電源端子5あるいはグランド端子6の付近で金線2のボンディングにより電源端子5とグランド端子6に接続する。

この結果、搭載半導体ICチップ1の電源用パッドあるいはグランド用パッドが、それぞれ2個あるいは4個位が分散してあっても、混成集積回路装置の電源およびグランドは、所定の電源端子5及びグランド端子6の位置に設定できる。このため、薄型混成集積回路装置を搭載するメインボード上の配線パターン設計が大変容易になった。

また、BTスクリーニング用治具が電源・グランド以外は全端子抵抗(22KΩ)を通してブルアップした。このために、本実施例の基板を用いて混成集積回路装置を組立てた場合には、治具を共通に使用できる。

第2図は本発明の第2の実施例の基板に半導体ICチップを搭載した平面図である。

第2の実施例は、第2図に示すように、第1の実施例とは異なり、半導体ICチップ1周囲のル

搭載するリードレスタイプの薄型混成集積回路基板において、前記半導体ICチップ搭載部を取り囲む電気的に絶縁された二重のループ状の導体パターンを設け、該二重のループ状の導体パターンのうちの一方には電源端子を、他方にはグランド端子を接続したことを特徴とする。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例の基板に半導体ICチップを搭載した平面図である。

第1の実施例は、第1図に示すように、電源端子5を電源、グランド端子6をグランドとすることを共通とすることにしてある。

電源パッド及びグランドパッドが2個、4個あるゲートアレーの半導体ICチップ1をリードレスタイプの薄型混成集積回路装置として設計する場合には、搭載する半導体ICチップ1の電源パッドあるいはグランドパッドからの金線2は、それぞれ半導体ICチップ1周囲に設置したループ状

ループ状導体パターン4のそれぞれとあらかじめ決めてある電源端子5あるいはグランド端子6との接続は、金線によるボンディングでは無く、スルーホールを用いた第2層導体7で実施するものである。

このようにすると、第1の実施例に比べて金線のボンディングの本数が少なくて済み、その分原価低減や信頼性向上が期待できる。

〔発明の効果〕

以上説明したように本発明は、搭載する半導体ICチップの周囲に、二重にループ状の導体パターンを設け、それぞれの導体パターンをグランドと電源の共通パターンとして使用して薄型混成集積回路装置の任意の端子に引き出す事により、パッドが全く一致していないゲートアレー等の半導体ICチップを搭載しても、薄型混成集積回路装置の外形寸法及び電源・グランド端子を規格化する事ができ汎用性を持たせる効果がある。

これにより、マザーボード上の配線パターンの引き回しが有利になるうえに、BTスクリーニング

グリ具や検査治具に汎用性を持たせて、それぞれの薄型混成集積回路装置の開発時の費用を大幅に削除する効果を有するものである。

図面の簡単な説明

第1図は本発明の第1の実施例の基板に半導体ICチップを搭載した平面図、第2図は本発明の第2の実施例の基板に半導体ICチップを搭載した平面図である。

1…半導体ICチップ、2…金線、3…基板、4…導体パターン、5…電源端子、6…グランド端子、7…第2層導体、8…スルーホール。

代理人 弁理士 内原晋

